

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-244822  
 (43)Date of publication of application : 08.09.2000

(51)Int.Cl. H04N 5/335  
 H04N 5/217

(21)Application number : 11-042497 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

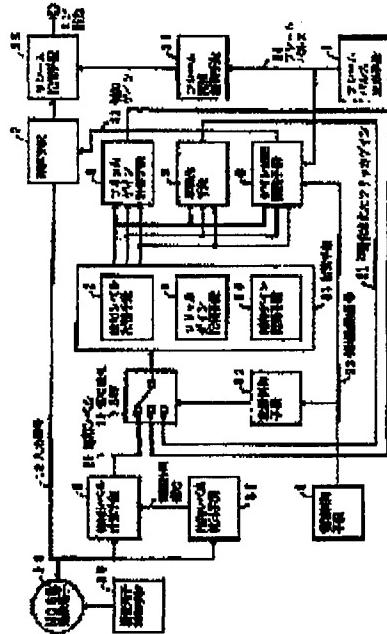
(22)Date of filing : 22.02.1999 (72)Inventor : SASAKI YOSHIRO  
 TABEI KENJI

## (54) FLICKER CORRECTING METHOD, ITS CIRCUIT AND TELEVISION CAMERA CONSTITUTING FLICKER CORRECTING CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a flicker correcting method to perform flicker correction in 60 Hz while minimizing deterioration of the performance of the flicker correction by utilizing the frame periodicity of flickers at a power supply frequency of 50 Hz and to realize standardization of camera components, etc., reduction of power consumption, size reduction and cost reduction.

**SOLUTION:** The frame periodicity of a flicker of a fluorescent lamp of 50 Hz due to the power supply frequency is utilized. When the power supply frequency changes to 60 Hz, flicker periodicity in 60 Hz is corrected in the same way as that in 50 Hz by an imaging device control means 30 without changing the structure of the conventional flicker correction, a video signal after flicker correction is stored in a frame storage means 35, frame reproduction frequency is converted into a normal frame reproduction frequency by a frame converting means 36 and the video signal after the flicker correction is outputted.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-244822

(P2000-244822A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl.<sup>7</sup>

H 0 4 N  
5/335  
5/217

識別記号

F I

H 0 4 N  
5/335  
5/217

テマコト<sup>\*</sup>(参考)

P 5 C 0 2 1  
5 C 0 2 4

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願平11-42497

(22)出願日 平成11年2月22日(1999.2.22)

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 佐々木 嘉郎

宮城県仙台市泉区明通二丁目5番地 株式  
会社松下通信仙台研究所内

(72)発明者 田部井 慶治

神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内

(74)代理人 100079544

弁理士 斎藤 熊

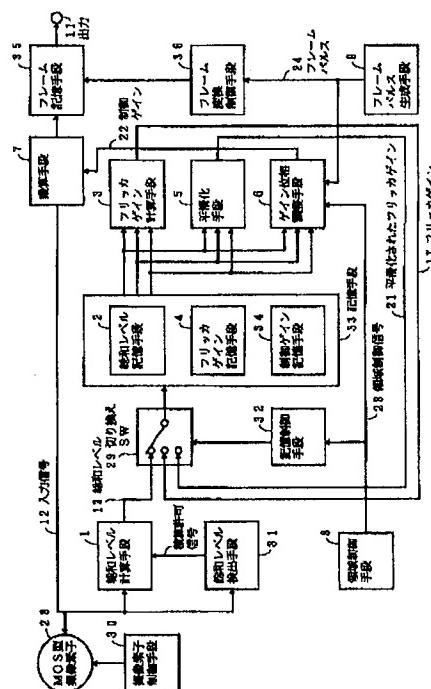
最終頁に続く

(54)【発明の名称】 フリッカ補正方法及び回路とこのフリッカ補正回路を構成するテレビカメラ装置

(57)【要約】

【課題】電源周波数が50Hzのフリッカのフレーム周期性を利用して、フリッカ補正の性能低下を最小限に押さえながら60Hzにおけるフリッカ補正を可能にし、カメラ部品等の共通化、低消費電力化、小型化、低成本化を実現しうるフリッカ補正方法を提供する。

【解決手段】電源周波数が50Hzの蛍光灯フリッカのフレーム周期性に着目し、電源周波数が60Hzに変わった場合、従来のフリッカ補正の構成を変えることなく、60Hzにおけるフリッカ周期性を撮像素子制御手段30により50Hzの場合と同じにして補正し、フリッカ補正後の映像信号をフレーム記憶手段35に記憶し、フレーム再生周波数をフレーム変換手段36で通常のフレーム再生周波数に変換してフリッカ補正後の映像信号を出力するようにしたのである。



## 【特許請求の範囲】

【請求項1】撮像素子の出力信号をフリッカが同一とみなせる領域毎にフレーム単位で複数の領域に分割し、前記撮像素子の出力信号を前記領域毎に積分して各前記領域内の総和レベルを計算し、過去の総和レベルを記憶し、同一領域における過去の複数の総和レベルからその領域におけるフリッカゲインを計算し、過去のフリッカゲインを記憶し、過去の複数のフリッカゲインを用いて平滑化することによりノイズ成分を除去したフリッカゲインを生成し、平滑化されたフリッカゲインを保持し、フリッカの周期性に基き平滑化されたフリッカゲインを位相調整して制御ゲインを生成し、前記位相調整された制御ゲインを撮像素子出力信号に乗算してフリッカ補正後の撮像信号を出し、フリッカの周期性に基づくタイミングで出力されたフリッカ補正後の撮像信号を記憶し、フレーム再生周波数を通常のフレーム再生周波数に変換する各工程からなることを特徴とするフリッカ補正方法。

【請求項2】前記総和レベルの記憶と前記フリッカゲインの記憶と前記制御ゲインの記憶とを共用の記憶手段に対して行い、それぞれ時分割して記憶し読み出すようにしたことを特徴とする請求項1記載のフリッカ補正方法。

【請求項3】撮像素子出力信号をフレーム単位でフリッカが同一とみなせる領域毎に複数の領域に分割し、前記撮像素子の出力信号を領域毎に積分して各領域内の総和レベルを計算する総和レベル計算手段と、過去の総和レベルを記憶する総和レベル記憶手段と、同一領域における過去の複数の総和レベルからその領域におけるフリッカゲインを計算するフリッカゲイン計算手段と、過去のフリッカゲインを記憶するフリッカゲイン記憶手段と、過去の複数のフリッカゲインを用いて平滑化することによりノイズ成分を除去したフリッカゲインを生成する平滑化手段と、平滑化されたフリッカゲインを保持する制御ゲイン記憶手段と、フリッカの周期性に基づき平滑化されたフリッカゲインを位相調整して制御ゲインを生成するゲイン位相調整手段と、前記位相調整された制御ゲインを撮像素子出力信号に乗算してフリッカ補正後の撮像信号を出力する乗算手段とからなるフリッカ補正回路であって、フリッカの周期性に基づくタイミングで出力されたフリッカ補正後の撮像信号を記憶するフレーム記憶手段と、フレーム再生周波数を通常のフレーム再生周波数に変換する周波数変換制御手段とを具備し、電源周波数が変わってもフレーム再生周波数を通常のフレーム再生周波数に変換してフリッカ補正後の撮像信号を出力するようにしたことを特徴とするフリッカ補正回路。

【請求項4】前記フリッカ補正回路において、前記総和レベルを記憶する総和レベル記憶手段と、前記フリッカゲインを記憶するフリッカゲイン記憶手段と、前記制御ゲインを記憶する制御ゲイン記憶手段とを共用の記憶手

段に設け、時分割して記憶し読み出すようにしたことを特徴とする請求項3記載のフリッカ補正回路。

【請求項5】前記記憶手段はRAMで構成したことを特徴とする請求項4記載のフリッカ補正回路。

【請求項6】前記共用の記憶手段に設けられた前記総和レベル記憶手段と、前記フリッカゲイン記憶手段と、前記制御ゲイン記憶手段とに対する入力及び出力を各記憶手段ごとに切り換える切り換えスイッチと、前記切り換えスイッチの切替えを制御する記憶制御手段とを具備することを特徴とする請求項5記載のフリッカ補正回路。

【請求項7】請求項3、4、5または6に記載のフリッカ補正回路を含む信号処理回路であって、LSIに構成したことを特徴とする信号処理回路。

【請求項8】請求項3、4、5または6に記載のフリッカ補正回路が含まれ、被写体からの入射信号を前記フリッカ補正回路に出力することを特徴とする撮像素子。

【請求項9】請求項3、4、5または6に記載のフリッカ補正回路を含みLSIに構成した信号処理回路と、被写体からの入射信号を前記フリッカ補正回路に出力する撮像素子とからなるカメラ部品。

【請求項10】請求項9に記載のカメラ部品を装備するテレビカメラ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は映像信号のフリッカ補正に関し、特に交流電源による照明等に起因する撮像素子の出力信号の周期的变化を補正するフリッカ補正に関する。

## 【0002】

【従来の技術】MOS型撮像素子においては、XYアドレスを指定して画素から電荷を読み出すため、1フィールドまたは1フレーム内においてもフリッカ成分が垂直方向に正弦波状に変化するので、1フィールドまたは1フレーム全体を一様に補正することができないと言う問題があった。

【0003】そこで、1フィールドまたは1フレームをフリッカ成分がほぼ同一と見なせる領域ごとに分割して各領域毎にフリッカのゲインを算出し、更に、被写体の動きがある場合のフリッカのゲイン誤差を軽減するために平滑化を行い、その結果のフリッカゲインによりフリッカの補正を行うようにしていた。

【0004】従来、このようなフリッカ補正回路としては図5に示すようなものがあった。図5はフレームをm個に分割してフリッカ補正を行う場合の従来のフリッカ補正回路を示すブロック図である。図5において、1は総和レベル計算手段、2は総和レベル記憶手段、3はフリッカゲイン計算手段、4はフリッカゲイン記憶手段、5は平滑化手段、6はゲイン位相調整手段、7は乗算手段、8は領域制御手段、9はフレームパルス生成手段、10は入力端子、11は出力端子、27はフリッカゲイ

ン記憶部である。

【0005】次に、図5を参照して、上記従来のフリッカ補正回路の動作を説明する。信号12はフリッカを含むフレーム単位の映像信号であり、入力端子10から入力される。総和レベル計算手段1は、領域毎に信号12を積分した総和レベル信号13を出力する。領域制御手段8は、入力信号12が領域1～領域mのどの領域に属するか示す領域制御信号23を生成し、総和レベル記憶手段2とフリッカゲイン記憶手段4とゲイン位相調整手段6に出力する。

【0006】総和レベル記憶手段2は、シフトレジスタ等で1フレーム前と2フレーム前の領域1～領域mの総和レベルを記憶する構成になっており、領域制御信号23により領域1～領域mに対応した記憶領域に記憶し、同時に現フレームの総和レベル14、1フィールド前の総和レベル15、2フレーム前の総和レベル16をフリッカゲイン計算手段3に対して出力する。フリッカゲイン計算手段3は平均加算回路と除算回路とで構成され、フリッカゲイン17を計算しフリッカゲイン記憶手段4に対して出力する。フレームパルス生成手段9は、フリッカのフレーム周期に基づきフレームパルス24を生成して、フリッカゲイン記憶手段4とゲイン位相調整手段6に出力する。

【0007】フリッカゲイン記憶手段4はシフトレジスタ等で構成され、領域制御信号23とフレームパルス24により、フレーム単位のフリッカ周期で1フレーム期間における領域1～領域mのフリッカゲインを2フレーム分記憶するよう構成され、現フレームのフリッカゲイン18、フレーム単位のフリッカ周期の1周期前のフリッカゲイン19、フレーム単位のフリッカ周期の2周期前のフリッカゲイン20を平滑化手段5に出力する。

【0008】平滑化手段5はメディアンフィルタ等から構成され、過去の複数のフレームの同一領域におけるフリッカゲインに含まれる誤差成分を除去する作用を行うもので、平滑化されたフリッカゲイン21を出力する。ゲイン位相調整手段6は、1フレーム前のフリッカゲイン21の記憶を行うフリッカゲイン記憶部27を有し、領域制御信号23により平滑化されたフリッカゲイン21を領域1～領域mに割り当て記憶して、フレームパルス24により、正弦波であるフリッカゲインをフレームに合わせて位相調整を行い、制御ゲイン22を乗算手段7に出力する。乗算手段7は、入力信号12と制御ゲイン22を乗じて補正を行った信号を出力端子11に出力する。

#### 【0009】

【発明が解決しようとする課題】しかしながら、上記従来のフリッカ補正回路においては、以下に挙げる2つの問題があった。1、電源周波数が50Hzの蛍光灯フリッカのフレーム周期性を利用した補正方式では、60Hzにおけるフリッカ補正が不可能である。2、多数の記

憶手段をそれぞれシフトレジスタ等で構成していたため、回路規模が大きくなり、消費電力が増大する。

【0010】本発明は、上記従来の問題を解決するためになされたもので、電源周波数が50Hzの蛍光灯フリッカのフレーム周期性を利用して、フリッカ補正の性能低下を最小限に押さえながら60Hzにおけるフリッカ補正を可能にするとともに、カメラ部品等の共通化、低消費電力化、小型化、低コスト化を実現することができるフリッカ補正方法及びフリッカ補正回路を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】本発明は、上記の目的を達成するため、電源周波数が50Hzの蛍光灯フリッカのフレーム周期性に着目し、従来のフリッカ補正の構成を変えることなく、電源周波数が60Hzの場合には、60Hzにおけるフリッカの周期性を撮像素子制御手段により50Hzの場合と同じになるようにして補正を行い、フリッカ補正後の映像信号を記憶するフレーム記憶手段と、フリッカ補正後のフレーム再生周波数を通常のフレーム再生周波数に変換するフレーム変換手段とを付加し、交流電源周波数が変わってもフリッカ補正時のフレーム再生周波数を通常のフレーム再生周波数に変換してフリッカ補正後の映像信号を出力するようにしたものである。

【0012】すなわち、本発明は、MOS型撮像素子の出力信号をフリッカが同一とみなせる領域毎にフレーム単位で複数の領域に分割し、MOS型撮像素子の出力信号を各領域毎に積分して領域内の総和レベルを計算する総和レベル計算手段と、過去の総和レベルを記憶する総和レベル記憶手段と、同一領域における過去の複数の総和レベルからその領域におけるフリッカゲインを計算するフリッカゲイン計算手段と、過去のゲインを記憶するフリッカゲイン記憶手段と、過去の複数のゲインを用いてノイズ成分を除去し制御ゲインを生成する平滑化手段と、平滑化されたフリッカゲインを保持する制御ゲイン記憶手段と、フリッカの周期性に基づいて制御ゲインの位相調整を行うゲイン位相調整手段と、調整された制御ゲインを撮像素子出力信号に乘じる乗算手段とからなるフリッカ補正回路であって、フリッカの周期性に基づいたタイミングで出力されたフリッカ補正後の撮像信号を記憶するフレーム記憶手段と、フリッカ補正時のフレーム再生周波数を通常のフレーム再生周波数に変換する周波数変換制御手段とからなり、交流電源周波数が変わってもフレーム再生周波数を通常のフレーム再生周波数に変換してフリッカ補正後の映像信号を出力するようにしたものである。

【0013】本発明は、60Hzの場合には、50Hzの場合の従来の補正方式を36フレーム/秒で行い、補正した撮像信号をフレーム記憶手段に記憶し、フレーム変換手段を用いて記憶した撮像信号から6フレーム毎に

1フレームだけ省いて出力するようにしたことにより、異なる電源周波数に対しても、通常のフレーム再生周波数で出力することができ、従来のフリッカ補正の性能の低下を最小限に押さえてフリッカ補正することができる上、テレビカメラ機器等の共用化、小型化、低コスト化を実現することができるフリッカ補正方法及び回路が得られる。

#### 【0014】

【発明の実施の形態】本発明の請求項1に記載の発明は、撮像素子の出力信号をフリッカが同一とみなせる領域毎にフレーム単位で複数の領域に分割し、前記撮像素子の出力信号を前記領域毎に積分して各前記領域内の総和レベルを計算し、過去の総和レベルを記憶し、同一領域における過去の複数の総和レベルからその領域におけるフリッカゲインを計算し、過去のフリッカゲインを記憶し、過去の複数のフリッカゲインを用いて平滑化することによりノイズ成分を除去したフリッカゲインを生成し、平滑化されたフリッカゲインを保持し、フリッカの周期性に基き平滑化されたフリッカゲインを位相調整して制御ゲインを生成し、前記位相調整された制御ゲインを撮像素子出力信号に乘算してフリッカ補正後の撮像信号を出力し、フリッカの周期性に基づくタイミングで出力されたフリッカ補正後の撮像信号を記憶し、フレーム再生周波数を通常のフレーム再生周波数に変換する各工程からなるようにしたものであり、異なる電源周波数に対しても、電源周波数に依存せず、通常のフレーム再生周波数で出力することができ、従来のフリッカ補正の性能の低下を最小限に押さえてフリッカ補正することができるという作用を有する。

【0015】本発明の請求項2に記載の発明は、前記総和レベルの記憶と前記フリッカゲインの記憶と前記制御ゲインの記憶とを共用の記憶手段に対して行い、それぞれ時分割して記憶し読み出すようにしたものであり、記憶手段であるレジスタのセル面積を大幅に節約し、更に回路規模の面積を縮小することができ、かつ消費電力を低減することができるという作用を有する。

【0016】本発明の請求項3に記載の発明は、撮像素子出力信号をフレーム単位でフリッカが同一とみなせる領域毎に複数の領域に分割し、前記撮像素子の出力信号を領域毎に積分して各領域内の総和レベルを計算する総和レベル計算手段と、過去の総和レベルを記憶する総和レベル記憶手段と、同一領域における過去の複数の総和レベルからその領域におけるフリッカゲインを計算するフリッカゲイン計算手段と、過去のフリッカゲインを記憶するフリッカゲイン記憶手段と、過去の複数のフリッカゲインを用いて平滑化することによりノイズ成分を除去したフリッカゲインを生成する平滑化手段と、平滑化されたフリッカゲインを保持する制御ゲイン記憶手段と、フリッカの周期性に基づき平滑化されたフリッカゲインを位相調整して制御ゲインを生成するゲイン位相調

整手段と、前記位相調整された制御ゲインを撮像素子出力信号に乘算してフリッカ補正後の撮像信号を出力する乗算手段とからなるフリッカ補正回路であって、フリッカの周期性に基づくタイミングで出力されたフリッカ補正後の撮像信号を記憶するフレーム記憶手段と、フレーム再生周波数を通常のフレーム再生周波数に変換する周波数変換制御手段とを具備し、電源周波数が変わってもフレーム再生周波数を通常のフレーム再生周波数に変換してフリッカ補正後の撮像信号を出力するようにしたものであり、異なる電源周波数に対しても、電源周波数に依存せず、通常のフレーム再生周波数で出力することができ、従来のフリッカ補正の性能の低下を最小限に押さえてフリッカ補正することができるという作用を有する。

【0017】本発明の請求項4に記載の発明は、前記フリッカ補正回路において、前記総和レベルを記憶する総和レベル記憶手段と、前記フリッカゲインを記憶するフリッカゲイン記憶手段と、前記制御ゲインを記憶する制御ゲイン記憶手段とを共用の記憶手段に設け、時分割して記憶し読み出すようにしたものであり、記憶手段であるレジスタのセル面積を大幅に節約し、更に回路規模の面積を縮小することができ、かつ消費電力を低減することができるという作用を有する。

【0018】本発明の請求項5に記載の発明は、前記記憶手段はRAMで構成するようにしたものであり、回路規模の縮小化を図り、かつ低消費電力化することができるという作用を有する。

【0019】本発明の請求項6に記載の発明は、前記共用の記憶手段に設けられた前記総和レベル記憶手段と、前記フリッカゲイン記憶手段と、前記制御ゲイン記憶手段とに対する入力及び出力を各記憶手段ごとに切り替える切り替えスイッチと、前記切り替えスイッチの切替えを制御する記憶制御手段とを具備するようにしたものであり、3つの記憶手段を1つにまとめ、入出力を切り替えて時分割処理するようにしたことにより、回路規模を縮小化することができ、かつ消費電力を低減することができるという作用を有する。

【0020】本発明の請求項7に記載の発明は、請求項3、4、5または6に記載のフリッカ補正回路を含む信号処理回路であって、LSIに構成したことを特徴とする信号処理回路としたものであり、本発明における、異なる電源周波数に対してもフリッカ補正の性能の低下を最小限に押さえるフリッカ補正回路を含む信号処理LSIであり、フリッカ補正を含む信号処理LSIの汎用化、共通化、低消費電力化、小型化、低コスト化を図ることができるとするという作用を有する。

【0021】本発明の請求項8に記載の発明は、請求項3、4、5または6に記載のフリッカ補正回路が含まれ、被写体からの入射信号を前記フリッカ補正回路に出力することを特徴とする撮像素子としたものであり、本

発明における、異なる電源周波数に対してもフリッカ補正の性能の低下を最小限に押さえることができるフリッカ補正可能な撮像素子であり、フリッカ補正回路を含む撮像素子の汎用化、共通化、低消費電力化、小型化、低成本化を図ることができるという作用を有する。

【0022】本発明の請求項9に記載の発明は、請求項3、4、5または6に記載のフリッカ補正回路を含みLSIに構成した信号処理回路と、被写体からの入射信号を前記フリッカ補正回路に出力する撮像素子とからなるカメラ部品としたものであり、本発明における、異なる電源周波数に対してもフリッカ補正の性能の低下を最小限に押さえることができるフリッカ補正回路を含むカメラ部品の汎用化、共通化、低消費電力化、小型化、低成本化を図ることができるという作用を有する。

【0023】本発明の請求項10に記載の発明は、請求項9に記載のカメラ部品を装備するテレビカメラ装置したものであり、本発明における、異なる電源周波数に対してもフリッカ補正の性能の低下を最小限に押さえることができるフリッカ補正回路を含むカメラ部品を利用したテレビカメラ装置の汎用化、共通化、低消費電力化、小型化、低成本化を図ることができるという作用を有する。

【0024】以下、添付図面、図1乃至図4に基づき、本発明の実施の形態1を詳細に説明する。図1は本発明の実施の形態1におけるフリッカ補正方法及び回路の構成を示すブロック図、図2は図1に示すフリッカ補正方法及び回路において異なる電源周波数に対するフレームタイミングを示す図、図3は図1に示すフリッカ補正方法及び回路において異なる電源周波数に対するフレーム周波数変換タイミングを示す図、図4は図1に示すフリッカ補正方法及び回路における記憶制御手段で制御するアドレスマップ及び記憶制御手段による切り換えSWの切り替えタイミングを示す図である。

【0025】(実施の形態1)まず、図1及び図2を参照して、本発明におけるフリッカ補正方法及び回路の基本概念について説明する。図2は交流電源周波数が $f_p = 50\text{ Hz}$ 、映像信号のフレーム周波数が $f_v = 30\text{ Hz}$ の場合と、交流電源周波数が $f_p = 60\text{ Hz}$ 、映像信号のフレーム周波数が $f_v = 36\text{ Hz}$ の場合とを示す。

【0026】まず、電源周波数が $f_p = 50\text{ Hz}$ の条件下において、交流電源で点灯する蛍光灯等は $100\text{ Hz}$ で点滅を繰り返しており、このような入射光のもとでは、MOS型撮像素子28(図1)は読み出す画像の位置により電荷蓄積時間の位相が異なるため、同一フレーム内でも各画素の蓄積時間内に入射する光量の総和は異なることになる。そのため、同一フレーム内部においても $100\text{ Hz}$ の周期で明るい部分と暗い部分が生じるフリッカが発生する。

【0027】例えば、有効画素 $640 \times 480$ (水平)×480(垂直)のVGAフォーマットにおいて、フレーム周波

数 $30\text{ Hz}$ 、1フレームの走査線数が525本とするとき、水平走査周波数は $15.75\text{ kHz}$ であるから、その $1/100$ 秒では走査線157.5本分に相当する。したがって、157.5ライン周期で明暗を繰り返し、1フレームの走査線数525ラインの間に、3と $1/3$ 周期のフリッカが発生する。また、フレームの周期 $1/30\text{ [sec]}$ と照明の点灯周期 $1/100\text{ [sec]}$ の公倍数は $1/10\text{ [sec]}$ であるため、フリッカは3フレーム毎に同じ明暗のパターンとなるフレーム単位の周期性をもつことになる。

【0028】同様に、電源周波数が $f_p = 60\text{ Hz}$ の条件下において、交流電源で点灯する蛍光灯等は $120\text{ Hz}$ で点滅を繰り返しており、このような入射光のもとでは、MOS型撮像素子28は読み出す画像の位置により電荷蓄積時間の位相が異なることになり、同一フレーム内でも各画素の蓄積時間内に入射する光量の総和は異なってくる。そのため、同一フレーム内部においても $120\text{ Hz}$ の周期で明るい部分と暗い部分が生じるフリッカが発生する。

【0029】そこで、電源周波数が $f_p = 50\text{ Hz}$ の場合における3フレーム毎のフリッカの周期性を利用して、例えば、基準発振周波数を変えずに、水平走査周波数を $18.9\text{ kHz}$ にして1フレームの走査線数を525本にすると、 $1/120$ 秒間の走査線は157.5ラインとなる。したがって、フリッカは157.5ライン周期で明暗を繰り返し、1フレームのフレーム周波数は $36\text{ Hz}$ となり、走査線数525ラインの間に、3と $1/3$ 周期のフリッカが発生する。つまり、撮像素子の出力信号のフリッカは、電源周波数が $f_p = 60\text{ Hz}$ の場合においても、電源周波数が $f_p = 50\text{ Hz}$ の条件と同一条件の、3フレーム毎に同じ明暗パターンとなるフレーム単位の周期性をもたせることが可能となり、同一方式に従って補正することができる。

【0030】しかしながら、電源周波数が $f_p = 60\text{ Hz}$ の場合においては、 $36\text{ frames/sec}$ で補正を行なっているので、補正性能が低下してしまうことになる。そこで、補正した撮像信号をフレーム記憶手段35(図1)とフレーム変換制御手段36(図1)とを用いることにより、フレーム記憶手段35に対する書き込みを6フレーム毎に1フレームだけを省き、読み出しを通常のフレーム再生周波数の $30\text{ frames/sec}$ で行い出力することにより、従来のフリッカ補正の性能の低下を最小限に押さえ、テレビカメラ機器等の小型化、低成本化を実現することができる。

【0031】次に、図1を参照して、本発明の実施の形態1におけるフリッカ補正回路の構成を説明する。図1は本発明の実施の形態1におけるフリッカ補正方法及び回路の構成を示す図である。図1において、1は総和レベル計算手段、2は総和レベル記憶手段、3はフリッカゲイン計算手段、4はフリッカゲイン記憶手段、5は平

滑化手段、6はゲイン位相調整手段、7は乗算手段、8は領域制御手段、9はフレームパルス生成手段、11は出力端子、28はMOS型撮像素子、29は切り換えSW、30は撮像素子制御手段、31は総和レベル検出手段、32は記憶制御手段、33は記憶手段、34は制御ゲイン記憶手段、35はフレーム記憶手段、36はフレーム変換制御手段である。

【0032】なお、記憶手段33は総和レベル記憶手段2と、フリッカゲイン記憶手段4と、制御ゲイン記憶手段34とで構成され、これら3つの記憶手段の入力及び出力は記憶制御手段32の制御により、切り換えSW29を通して行われ、それぞれ対応するフリッカゲイン記憶手段3、平滑化手段5またはゲイン位相調整手段6に時分割入出力するよう構成される。また、フリッカゲイン記憶手段3、平滑化手段5およびゲイン位相調整手段6はそれぞれ自己の入力時においてのみ、入力ゲートを開くように構成される。

【0033】以下、図1を参照して、本発明の実施の形態1におけるフリッカ補正回路の構成を詳細に説明する。MOS型撮像素子28は、撮像素子制御手段30により制御されたタイミングで撮像信号を出力する。入力信号12はフリッカを含むフレーム単位の撮像信号であり、総和レベル計算手段1と、飽和レベル検出手段31と、乗算手段7に入力される。飽和レベル検出手段31は、通常積算許可信号を総和レベル計算手段1へ出力し、撮像素子の出力信号が飽和してしまったときにはそれを止めて、総和レベル計算手段1における積算を避けるように制御する。総和レベル計算手段1は、領域毎に信号12を積分した総和レベル信号13を出力する。

【0034】領域制御手段8は、入力信号12が領域1～領域mのどの領域に属するか示す領域制御信号23を生成し、記憶制御手段32とゲイン位相調整手段6に出力する。総和レベル記憶手段2は、記憶制御手段32の制御により切り換えSW29を切り換えて総和レベル計算手段1からの総和レベル13を入力して領域1～領域mに対応した記憶領域に1フレーム前と2フレーム前の領域1～領域mの総和レベルを記憶するよう構成され、現フレームの総和レベル14と同時に、1フレーム前の総和レベル15、2フレーム前の総和レベル16をフリッカゲイン計算手段3に対して出力する。フリッカゲイン計算手段3は平均加算回路と除算回路で構成され、フリッカゲイン17を計算して出力する。フレームパルス生成手段9は、フリッカのフレーム周期に基づいてフレームパルス24を生成して、ゲイン位相調整手段6とフレーム変換制御手段36に出力する。

【0035】フリッカゲイン記憶手段4は、フリッカゲイン計算手段3からのフリッカゲイン17を切り換えられた切り換えSW29を通して入力し、記憶制御手段32により、フレーム単位のフリッカ周期で1フレーム期間における領域1～領域mのフリッカゲインを2フレ

ム分記憶するよう構成され、現フレームのフリッカゲイン18、フレーム単位のフリッカ周期の1周期前のフリッカゲイン19及びフレーム単位のフリッカ周期の2周期前のフリッカゲイン20を平滑化手段5に出力する。平滑化手段5は、現フレームのフリッカゲイン18、1周期前のフリッカゲイン19及び2周期前のフリッカゲイン20を受けて平滑化し、それらフリッカゲインから過去の複数のフレームの同一領域におけるフリッカゲインに含まれる誤差成分を除去するよう作用するもので、メディアンフィルタ等から構成され、平滑化されたフリッカゲイン21を出力する。

【0036】ゲイン位相調整手段6は、1フレーム前のフリッカゲイン21を記憶する制御ゲイン記憶手段34を有し（本実施の形態1ではゲイン位相調整6から抜き出して記憶手段33に纏めて配置される）、平滑化手段5からのフリッカゲイン21を切り換えられた切り換えSW29を通して入力し、平滑化されたフリッカゲイン21を領域制御信号23により領域1～領域mに割り当て記憶し、フレームパルス24により正弦波であるフリッカゲインをフレームに合わせて位相調整を行い、乗算手段7に対し制御ゲイン22として出力する。乗算手段7は、入力信号12と制御ゲイン22とを乗じて補正を行いフレーム記憶手段35に出力する。フレーム記憶手段35は、フレーム変換制御手段36からの制御により、乗算手段7の出力信号のフレーム周波数を通常のフレーム周波数にして再生するよう構成され、詳細は後述するように、フリッカの周波数に依存せずフリッカを補正することができる。

【0037】次に、図1乃至図4を参照して、本発明の実施の形態1におけるフリッカ補正回路の動作を説明する。MOS型撮像素子28から出力されたフリッカ成分が含まれた撮像信号は、領域制御信号23の制御により、領域1について総和レベル計算手段1にて積算した値を切り換えSW29を通して総和レベル記憶手段2に記憶し、3フレーム毎に領域1の現フレームと1フレーム前と2フレーム前の総和レベルをフリッカゲイン計算手段3に出力する。フリッカゲイン計算手段3では3フレーム分の総和の1/3を行い、各フレームの総和レベルで除算を3回行うことにより3種類のフリッカゲイン17を算出する。このフリッカゲイン17は、フリッカの3フレーム周期を考えると次のフレーム周期のフリッカゲインと等価になる。算出されたフリッカゲイン17は、記憶制御手段32の制御により切り換えられた切り換えSW29を通してフリッカゲイン記憶手段4に記憶される。

【0038】しかし、このフリッカゲイン17はこのままで動画等の垂直方向の動き成分による誤差が含まれてしまうため、過去の複数のフリッカゲインを使用して平滑化することにより誤差を除去する必要がある。そこで、メディアンフィルタ等による平滑化手段5において

て、3フレーム周期に従い、現フレームのフリッカゲインと3フレーム前及び6フレーム前のフリッカゲインとの平滑化を行い平滑化されたフリッカゲイン21を出力する。出力されたフリッカゲイン21は、記憶制御手段32の制御により切り換えられた切り替えSW29を通して制御ゲイン記憶手段34に記憶される。これをゲイン位相調整手段6に出力し、ゲイン位相調整手段6から乗算手段7に対し、制御ゲイン22として出力する。これにより、フリッカゲインに含まれている動き成分による誤差が軽減される。

**【0039】**以上説明した動作を第3フレーム時に領域1から領域mまで繰り返すことにより、次のフレームである第1フレームで用いるための制御ゲインが得られる。これらの領域1～領域mの制御ゲインが制御ゲイン記憶手段34に記憶され、次の第1フレーム時の制御ゲイン22として出力される。

**【0040】**ここで、フリッカが理想的な正弦波として、現フレームのあるラインのフリッカゲインを、 $1 + A \sin(n)$ とする。ただし、Aはフリッカの大きさ、nはあるラインのフリッカの位相である。また、フリッカの周期は $1 / 100\text{Hz}$ で157.5ラインを1周期としているため、1フレーム内では1フレームのライン数525ライン割る157.5ラインで、3と $1 / 3$ 周期分のフリッカがあることになる。そのため、同じラインで見ると1フレーム毎に $2\pi / 3$ 位相早い位相となり、1フレーム後の同一ラインのフリッカゲインは、 $1 + A \sin(n + 2\pi / 3)$ となる。また、2フレーム後のフリッカゲインは $1 + A \sin(n + 4\pi / 3)$ となり、3フレームを周期として繰り返すことがわかる。

**【0041】**次に、図2を参照して、異なる交流電源周波数に対するフレームタイミングについて説明する。図2において、電源周波数 $f_p = 60\text{Hz}$ の場合、電源周波数 $f_p = 50\text{Hz}$ のフリッカの周期性を該当させるとすると、例えば撮像素子制御手段30による基準発振周波数と垂直ライン数を変えずに、水平方向の分周比だけを $50 / 60$ (0.83程度)に変化させることにより、フリッカの周波数( $120\text{Hz}$ )と3フレームの周期性とは同一にすることができる。それ以降の補正手順は、電源周波数 $f_p$ が $50\text{Hz}$ であるか $60\text{Hz}$ であるかを意識せずに同一構成とすることができる。

**【0042】**また、フリッカゲインは157.5ライン周期を持っているので、これを約157ライン周期と見なすと、有効ライン480ライン分全てのフリッカゲインを求める必要がなくなり、1周期(157ライン)分のフリッカゲインだけを求めておき、位相調整手段6により、求めた1周期のフリッカゲインを繰り返せば、残りのラインのフリッカゲインを得ることができる。これにより、フリッカゲインを計算するため演算量や回路量を削減することができる。

**【0043】**次に、図3を参照して、異なる電源周波数に対するフレーム周波数変換タイミングについて説明する。図3において、電源周波数 $f_p = 60\text{Hz}$ の場合に乘算手段7から出力する補正後の信号は、 $36\text{Hz}$ で出力するので、フレーム変換制御手段36によりフレーム記憶手段35に書き込みを行い、 $30\text{Hz}$ で読み出しを行うようにすると、書き込みアドレス(点線)と読み出しアドレス(実線)は図3に示す関係となるので、6フレーム毎に1フレームだけを書き込みを停止し読み出しを連続して行うようにより、通常のフレーム再生周波数で再生することが可能となり、電源周波数に依存しないまたは考慮しなくてよい補正方式とすることが出来る。

**【0044】**次に、図4を参照して、記憶制御手段で制御する記憶手段のアドレスマップ及び記憶制御手段による切り替えSWの切り替えタイミングを説明する。図4において、総和レベル記憶手段2とフリッカゲイン記憶手段4と制御ゲイン記憶手段34の容量はほぼ同一であり、記憶制御手段32の制御により切り替えSW29を使用して時分割処理することにより、記憶手段33にまとめて共用化することができ、回路を少なくすることができる。

**【0045】**例えば、本実施の形態1における総和レベル記憶手段2は、2フレーム前までの積算値を保持しておれば良いので、フリッカの1周期(157ライン)を3の倍数である9ライン間隔で積算するようになると、1周期あたり18個の積算値で、1フレームあたりでは、 $18 * 3$ 個(54個)の積算値が存在する。つまり、3フレーム毎にフリッカゲインを算出するには、その記憶容量は54列2行あれば足りる。

**【0046】**また、フリッカゲイン記憶手段4は、3フレーム毎に算出したゲイン値を演算したフレーム内だけ保持しておれば良いので、 $18 * 2$ (36個)のゲイン値を3種類(G3～G5)保持する。つまり3フレーム毎に3通りのフリッカゲインを算出するには、その記憶容量は18列6行あれば良いことになる。次に、制御ゲイン記憶手段34は、3フレーム毎に平滑された制御ゲインを過去3フレーム前と、6フレーム前の値を3種類(M3～M5)保持しておれば良いので、その記憶容量はフリッカゲイン記憶手段4と同じ容量になる。

**【0047】**以上、総和レベル記憶手段2、フリッカゲイン記憶手段4及び制御ゲイン記憶手段34の総容量(総積算値)は、3フレーム毎に完結した処理を行う方式であるから、352ワード(図4では、それぞれアドレス1乃至326で示す)程度であれば十分に間に合うことになる。

**【0048】**また、上記3つの記憶手段、すなわち、総和レベル記憶手段2、フリッカゲイン記憶手段4および制御ゲイン記憶手段34の時分割入出力処理については、それぞれの記憶容量を上記のようにするとともに、

記憶制御手段32の制御により切り換えSW29を図4の下欄に示すようなタイミングで切り換えることによって達成することができる。

【0049】以上説明したように、本発明の実施の形態1によれば、電源周波数が60Hzに変化しても回路数を増やすことなく、従来と同じようなフリッカ補正を行なながら、記憶手段を1つにまとめたことにより、従来シフトレジスタで構成していたレジスタを、1/2以下にすることが可能となりレジスタセル面積の大幅な節約になり、回路規模の面積縮小が図かられ、かつ消費電力を1/10以下に低減することができる。

#### 【0050】

【発明の効果】本発明は、上記のように構成し、特に電源周波数が50Hzの場合のフレーム単位のフリッカの周期性に着目して、電源周波数が60Hzに変化しても、補正するフレーム周波数を電源周波数に同期して変化し、フリッカ補正後の信号を書き込み記憶する際に6フレーム毎に1フレームだけ省くことにより、フリッカ補正後の信号を出力する際のフレーム周波数は変えないようにしたことにより、異なる電源周波数に対しても、電源周波数に依存せず、フリッカ補正の性能の低下を最小限に押さえてフリッカ補正することができるとともに構成の共通化を図ることができるため、構成が簡単にして小規模のフリッカ補正方法を提供することができる。

【0051】また、本発明は、上記のように構成し、特に電源周波数が50Hzの場合のフレーム単位のフリッカの周期性に着目し、フリッカ補正後の信号を記憶するフレーム記憶手段とフレーム記憶手段に対する書き込みを6フレーム毎に1フレームだけ省くフレーム周波数変換手段とを付加して、電源周波数が60Hzに変化しても、補正するフレーム周波数を電源周波数に同期して変化し、フリッカ補正後の信号を出力する際のフレーム周波数は変えないようにしたことにより、異なる電源周波数に対しても、電源周波数に依存せず、フリッカ補正の性能の低下を最小限に押さえてフリッカ補正することができるとともに構成の共通化を図ることができるため、構成が簡単にして小規模のフリッカ補正回路を提供することができる。

【0052】また、本発明は、上記のように構成し、特に総和レベルの記憶とフリッカゲインの記憶と前記制御ゲインの記憶とを共用の記憶手段に対して行い、それぞれ時分割して記憶し読み出すようにしたことにより、記憶手段であるレジスタのセル面積を大幅に節約し、更に回路規模の面積を縮小することができ、かつ消費電力を低減することができる。

【0053】また、本発明は、上記のように構成し、特に本発明におけるフリッカ補正回路を含む信号処理回路をLSIに構成し、共用の記憶手段をRAMで構成したことにより、回路規模及び面積をさらに縮小することができ、かつ消費電力を低減してノイズを低減することに

より、性能をさらに向上することができる。

【0054】また、本発明は、上記のように構成し、特に共用の記憶手段に設けられた総和レベル記憶手段と、フリッカゲイン記憶手段と、制御ゲイン記憶手段とに対する入力及び出力を切り替えスイッチにより各記憶手段ごとに切り換えるようにしたことにより、全体として回路規模を小さくすることができる。

【0055】また、本発明は、上記のように構成し、特に本発明におけるフリッカ補正回路が含まれ、被写体からの入射信号をフリッカ補正回路に出力するようにしたことにより、回路基板の面積縮小を図ることができ、かつ撮像素子を汎用化することにより、実装コストを低下した撮像素子を提供することができる。

【0056】また、本発明は、上記のように構成し、特に本発明におけるフリッカ補正回路を含みLSIに構成した信号処理回路と、被写体からの入射信号を前記フリッカ補正回路に出力する撮像素子とからカメラ部品を構成するようにしたことにより、その面積を縮小することができ、さらにカメラ部品を汎用化することにより、生産コストを低減することができる。

【0057】また、本発明は、上記のように構成し、特に本発明におけるフリッカ補正回路を含みLSIに構成した信号処理回路と、被写体からの入射信号を前記フリッカ補正回路に出力する撮像素子とからカメラ部品を利用してテレビカメラ装置等を構成したことにより、テレビカメラ装置等の小型化、低コスト化を可能にすることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1におけるフリッカ補正方法及び回路の構成を示すブロック図、

【図2】図1に示すフリッカ補正方法及び回路において異なる電源周波数に対するフレームタイミングを示す図、

【図3】図1に示すフリッカ補正方法及び回路において異なる電源周波数に対するフレーム周波数変換タイミングを示す図、

【図4】図1に示すフリッカ補正方法及び回路における記憶制御手段で制御するアドレスマップ及び記憶制御手段による切り換えSWの切り換えタイミングを示す図、

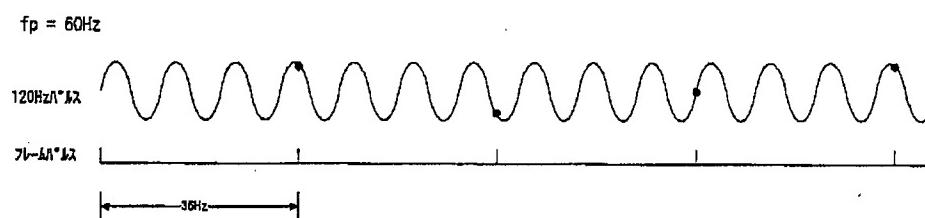
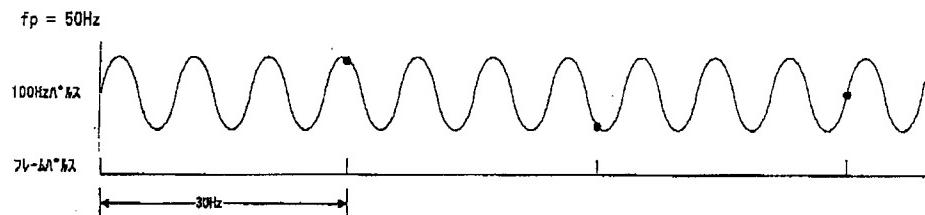
【図5】フレームをm個に分割してフリッカ補正を行う場合の従来のフリッカ補正回路を示すブロック図。

#### 【符号の説明】

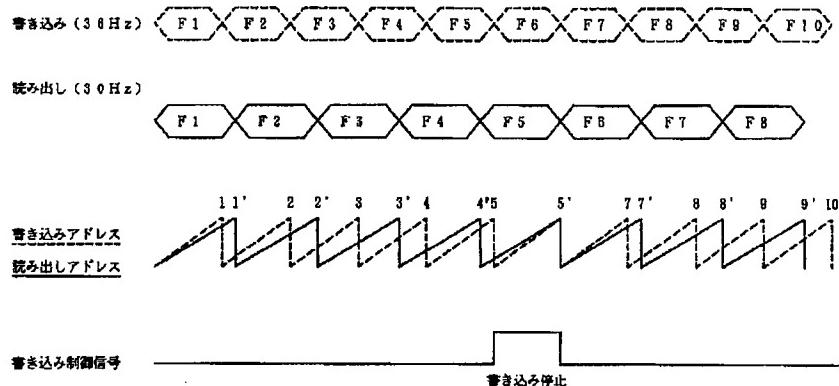
- 1 総和レベル計算手段
- 2 総和レベル記憶手段
- 3 フリッカゲイン計算手段
- 4 フリッカゲイン記憶手段
- 5 平滑化手段
- 6 ゲイン位相調整手段
- 7 乗算手段
- 8 領域制御手段

- |                   |                    |
|-------------------|--------------------|
| 9 フレームパルス生成手段     | 23 領域制御信号          |
| 10 入力端子           | 24 フレームパルス         |
| 11 出力端子           | 25 総和レベル記憶部        |
| 12 入力信号           | 26 フリッカゲイン記憶部      |
| 13 総和レベル          | 27 平滑化後のフリッカゲイン記憶部 |
| 14 現フィールドの総和レベル   | 28 MOS型撮像素子        |
| 15 1フレーム前の総和レベル   | 29 切り替えSW          |
| 16 2フレーム前の総和レベル   | 30 撮像素子制御手段        |
| 17 フリッカゲイン        | 31 飽和レベル検出手段       |
| 18 2フレーム前のフリッカゲイン | 32 記憶制御手段          |
| 19 5フレーム前のフリッカゲイン | 33 記憶手段            |
| 20 8フレーム前のフリッカゲイン | 34 制御ゲイン記憶手段       |
| 21 平滑化されたフリッカゲイン  | 35 フレーム記憶手段        |
| 22 制御ゲイン          | 36 フレーム変換制御手段      |

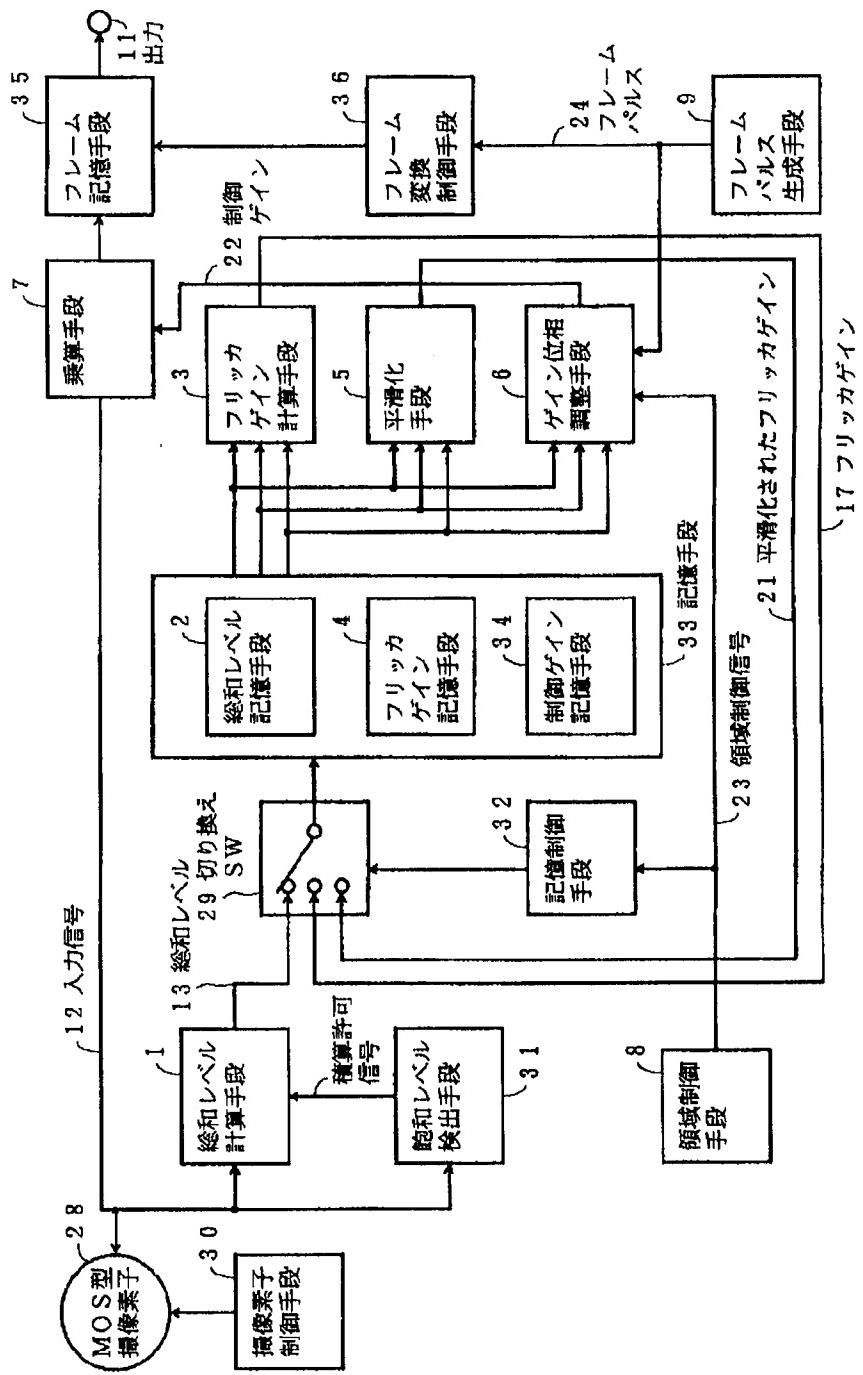
【図2】



【図3】



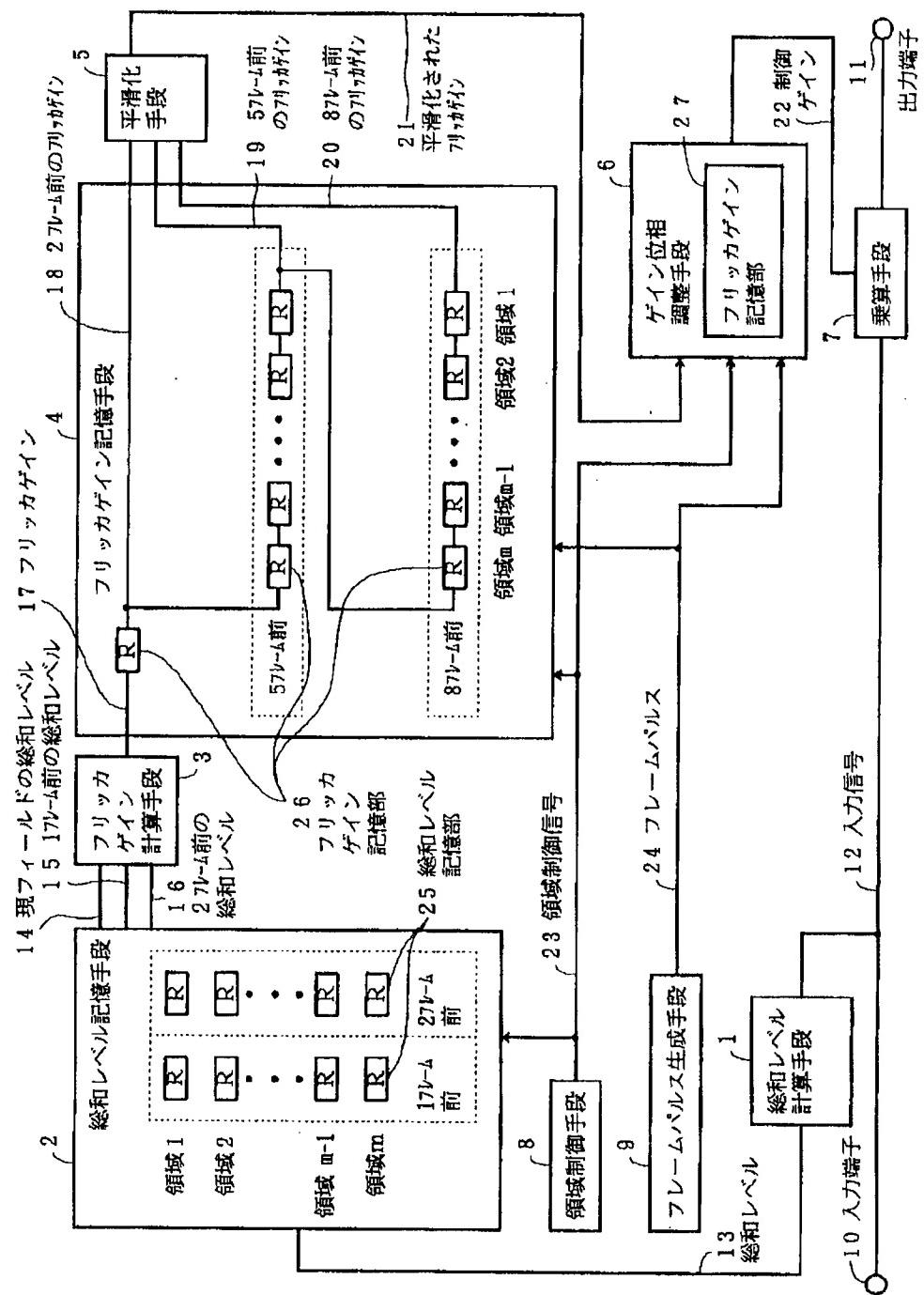
【図1】



【図4】

RAMアドレスマップ														
1 フレーム目の積算値					G 8 上部									
2 フレーム目の積算値					G 8 中部									
総和レベル記憶 5 4列2行														
1	2	...	5	8	5	4	...	219	220					
5	5	6	6	6	...	108	109	127	128					
フリッカゲイン記憶 1 8列8行														
111	112	...	127	128	237	238	...	235	236					
129	130	...	145	146	255	256	...	253	254					
147	148	...	163	164	273	274	...	271	272					
165	166	...	181	182	281	282	...	289	290					
183	184	...	199	200	309	310	...	307	308					
201	202	...	217	218				325	326					
第1フレーム			第2フレーム			第3フレーム								
総和レベル記憶				フリッカゲイン記憶			制御ゲイン							

【図5】



フロントページの続き

F ターム(参考) 5C021 PA17 PA18 PA58 PA62 PA72  
PA76 PA78 PA82 YA07  
5C024 AA01 CA07 FA01 FA11 GA31  
HA09 HA17 HA19 HA23